



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2001267366 A**(43) Date of publication of application: **28.09.01**

(51) Int. Cl. **H01L 21/60**
H05K 3/32

(21) Application number: **2000073191**(22) Date of filing: **16.03.00**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **YOSHINO MICHIO**
YAGI TAKAHIKO
OTANI HIROYUKI

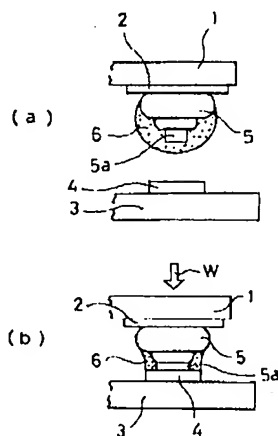
(54) **METHOD OF PACKAGING SEMICONDUCTOR
 AND PRINTED CIRCUIT BOARD**

(57) Abstract:

PROBLEM TO BE SOLVED: To properly joint a semiconductor element to a printed circuit board.

SOLUTION: When a stud bump 5 formed on an electrode 2 of the semiconductor element 2 and an electrode 4 of the printed circuit board 3 are joined to each other, the stud bump 5 is pressed to the electrode 4 and undergoes plastic deformation into a shape formed along the surface of the electrode 4, and the semiconductor element 1 is joined to the electrode 4 on the plastically deformed part. Thus, the plastically deformed stud 5 allows curling on the printed circuit board 3 to be absorbed and increases a jointing area with the electrode 4, thereby achieving high-quality packaging of a flip chip.

COPYRIGHT: (C)2001.JPO



- 1 半導体素子
- 2 電極
- 3 プリント回路基板
- 4 電極 (基板電極)
- 5 スタッドバンプ (突起電極)
- 6 導電性接着剤
- W 荷重

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-267366

(P2001-267366A)

(43) 公開日 平成13年9月28日 (2001.9.28)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テ-マコード (参考) |
|---------------------------|-------|---------------|-------------------|
| H 0 1 L 21/60 | 3 1 1 | H 0 1 L 21/60 | 3 1 1 S 5 E 3 1 9 |
| H 0 5 K 3/32 | | H 0 5 K 3/32 | C 5 F 0 4 4 |
| | | | B |

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願2000-73191 (P2000-73191)

(22) 出願日 平成12年3月16日 (2000.3.16)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 吉野 道朗

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 八木 能彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100068087

弁理士 森本 義弘

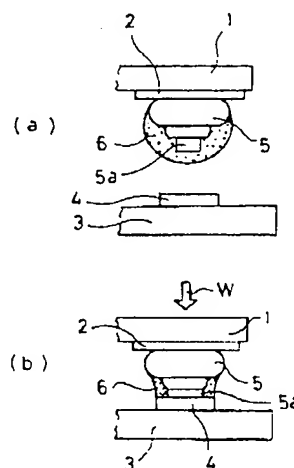
最終頁に続く

(54) 【発明の名称】 半導体実装方法およびプリント回路基板

(57) 【要約】

【課題】 半導体素子をプリント回路基板に良好に接合できるようにする。

【解決手段】 半導体素子1の電極2上に形成されたスタッドバンプ5とプリント回路基板3の電極4とを接合するに際し、スタッドバンプ5を電極4に押圧して電極4の表面に沿う形状に塑性変形させ、この塑性変形部において半導体素子1を電極4に接合させる。これにより、塑性変形したスタッドバンプ5によって、プリント回路基板3の反りを吸収できるとともに、電極4との接合面積を大きくすることができ、高品質なフリップチップ実装を実現できる。



- 1 半導体素子
- 2 電極
- 3 プリント回路基板
- 4 電極 (基極電極)
- 5 スタッドバンプ (突起電極)
- 6 導電性接着剤
- W 荷重

【特許請求の範囲】

【請求項 1】 半導体素子の電極上に形成された突起電極とプリント回路基板の基板電極とを接合するに際し、前記半導体素子の突起電極を前記基板電極に押圧して基板電極表面に沿う形状に塑性変形させ、この塑性変形部において前記半導体素子を前記基板電極に接合させることを特徴とする半導体実装方法。

【請求項 2】 塑性変形に先立って突起電極に導電性接着剤を転写することを特徴とする請求項 1 記載の半導体実装方法。

【請求項 3】 半導体素子の電極上に形成された突起電極が基板電極に接合したプリント回路基板であって、前記半導体素子の突起電極は、基板電極に押圧されることで基板電極表面に沿う形状に塑性変形した塑性変形部を有し、この塑性変形部において基板電極に接合したことを特徴とするプリント回路基板。

【請求項 4】 基板電極は、突起電極に対向する凹状または凸状の接合部を有したことを特徴とする請求項 3 記載のプリント回路基板。

【請求項 5】 基板電極は、突起電極の塑性変形部よりも小さい電極幅を有したことを特徴とする請求項 3 記載のプリント回路基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体実装方法およびプリント回路基板に関するものである。

【0002】

【従来の技術】 近年、電子機器の小型化、軽量化の要求に伴い、搭載される電子部品にも小型化が要求されるようになってきた。これを実現する手段として、従来のリード付き電子部品に代わりリードのない表面実装型の電子部品が採用されるようになった。また、電子部品の占有面積をさらに縮小するために IC パッケージにかわり半導体素子を直接プリント回路基板上に搭載する半導体実装の分野の進展が著しい。

【0003】 半導体実装の方式には、半導体素子を電極面を上にしてプリント回路基板に搭載し、素子上の電極と基板の電極とを金線やアルミ線で接続するワイヤボンディング方式と、半導体素子を電極面を下側にしてプリント回路基板に搭載するフリップチップ実装方式とがある。

【0004】 後者のフリップチップ実装方式では、図 5 に示すように、半導体素子 1 に設けられた電極 2 とプリント回路基板 3 に設けられた電極 4 との電気的接合を得るために、半導体素子 1 の電極 2 の上にスタッドバンプ 5 と呼ばれる接合用突起電極を形成し、形成したスタッドバンプ 5 の周囲に導電性接着剤 6 を配して半導体素子 1 とプリント回路基板 3 とを接合させる。

【0005】 スタッドバンプ 5 は一般に金で形成するが、その形成に際しては、図 6 に示すように、キャピラ

リ 11 に保持した金線 12 を電気放電等により加熱してその先端を球状に加工し、形成された Au ボール 13 を半導体素子 1 の電極 2 上に押しつけ超音波で加振して Au ボール 13 の金を電極 2 表面上に拡散、接合し、余分な金線 12 を引きちぎることで、電極 2 上にスタッドバンプ 5 を残留させる。このとき、スタッドバンプ 5 の高さを電極 2 上で一定にするために、半導体素子 1 のスタッドバンプ形成面をレベリングプレート（図示せず）にて適切な荷重で押圧する。

【0006】 そして、このようにしてレベリングしたスタッドバンプ 5 を持った半導体素子 1 をプリント回路基板 3 の所定の位置に正確に位置決め配置する。この時の半導体素子 1 の配置方式は大きく 2 つに分類される。

【0007】 第 1 の方式では、図 7 に示すように、スタッドバンプ 5 の形成面を下側にした半導体素子 1 を、転写台 14 上に設けられた導電性接着剤 6 の膜にスタッドバンプ 5 の中央突起部 5a が浸漬するように接触させる。次いで半導体素子 1 を引き上げて、導電性接着剤 6 をその表面張力でスタッドバンプ 5 に転写する。その後半導体素子 1 をプリント回路基板 3 の所定の位置に正確に位置決めし、プリント回路基板 3 全体を適切な温度で加熱して導電性接着剤 6 を硬化させることにより、半導体素子 1 とプリント回路基板 3 とを接合させる。必要に応じて、エポキシ等の樹脂を用いて半導体素子 1 とプリント回路基板 3 の間を封止する。

【0008】 第 2 の方式では、図 8 に示すように、プリント回路基板 3 に熱硬化性の樹脂シート 15 を予め貼り付けておき、このプリント回路基板 3 の所定の位置に半導体素子 1 を正確に位置決めする。その後、適切な荷重を付加することでスタッドバンプ 5 との接合部位の電極 4 上の樹脂シート 15 をスタッドバンプ 5 により除去するとともに、適切な温度で加熱することで樹脂シート 15 を熱硬化させ、半導体素子 1 とプリント回路基板 3 とを接合させる。スタッドバンプ 5 のレベリングは必要に応じて行う。

【0009】

【発明が解決しようとする課題】 しかしながら、上記したような従来の半導体実装方法では、半導体素子 1 とプリント回路基板 3 との接合の狭ビッチ化、それに伴うスタッドバンプ 5 の微小化によって、以下のような問題が発生する。

【0010】 第 1 に、導電性接着剤 6 の転写量を少なくせざるを得ないため、プリント回路基板 3 の反りを吸収することができず、半導体素子 1 とプリント回路基板 3 との良好な接合を確保することが困難である。

【0011】 第 2 に、半導体素子 1 の電極 2 上に形成されたスタッドバンプ 5 とプリント回路基板 3 の電極 4 との接合面積が小さいため、熱などによる歪みに弱く、良好な接合状態を得ることが困難である。

【0012】 本発明は上記問題を解決するもので、半導

体素子を良好に接合できる半導体実装方法、および半導体素子が良好に接合されたプリント回路基板を提供することを目的とするものである。

【0013】

【課題を解決するための手段】本発明は、電極上にスタッドバンプを形成した半導体素子をプリント回路基板の所定の位置に配置する際に、適切な荷重を付加し、スタッドバンプをプリント回路基板の電極の接合部形状と同一形状に塑性変形させることで、プリント回路基板の反りを吸収するとともに、接合面積を確保するようにしたものである。

【0014】

【発明の実施の形態】請求項1記載の発明は、半導体素子の電極上に形成された突起電極とプリント回路基板の基板電極とを接合するに際し、前記半導体素子の突起電極を前記基板電極に押圧して基板電極表面に沿う形状に塑性変形させ、この塑性変形部において前記半導体素子を前記基板電極に接合させるようにしたものであり、突起電極を塑性変形させることでプリント回路基板の反りを吸収できるとともに、接合面積を大きくすることができ、高品質なフリップチップ実装が実現可能となる。

【0015】請求項2記載の発明は、塑性変形に先立って突起電極に導電性接着剤を転写するようにしたものであり、これにより、プリント回路基板の電極の形状にかかわらず突起電極を確実に接合できる。

【0016】請求項3記載の発明は、半導体素子の電極上に形成された突起電極が基板電極に接合したプリント回路基板であって、前記半導体素子の突起電極は、基板電極に押圧されることで基板電極表面に沿う形状に塑性変形した塑性変形部を有し、この塑性変形部において基板電極に接合したものであり、塑性変形部によって、プリント回路基板の反りを吸収できるとともに、接合面積を大きくすることができ、高品質なフリップチップ実装が可能となる。

【0017】請求項4記載の発明は、請求項3記載の構成において、基板電極が、突起電極に対向する凹状または凸状の接合部を有したものであり、この場合、突起電極の塑性変形部は、基板電極の接合部と嵌合する凸部または凹部を持った形状となるので、プリント回路基板の反りを吸収できるとともに接合面積をより大きくすることができる。

【0018】請求項5記載の発明は、請求項3記載の構成において、基板電極が、突起電極の塑性変形部よりも小さい電極幅を有したものであり、この場合、突起電極の塑性変形部は基板電極を覆う凹状となるので、プリント回路基板の反りをより効果的に吸収できるとともに接合面積をより大きくすることができる。

【0019】以下、本発明の実施の形態を図面を参照しながら具体的に説明する。

（実施の形態1）図1は本発明の実施の形態1における

プリント回路基板を示し、（a）は実装前の状態、

（b）は実装後の状態を示す。1は半導体素子、2は半導体素子1の電極、3は実装対象のプリント回路基板、4はプリント回路基板3の電極である。半導体素子1の電極2の上には、先に図6を用いて説明したような方法によってスタッドバンプ5が形成されており、スタッドバンプ5の中央部には突起部5aが残留している。このスタッドバンプ5としては、必要に応じてレベリングしたものを用いる。

【0020】以下、半導体素子1を実装する際の手順を説明する。スタッドバンプ形成面を下側にした半導体素子1のスタッドバンプ5の突起部5aを導電性接着剤6に接触させることにより、スタッドバンプ5に導電性接着剤6を転写する。

【0021】次に、半導体素子1の電極2がプリント回路基板3の電極4に対向するように半導体素子1を正確に位置決めし、この半導体素子1の背面側に適切な荷重Wを負荷することによりスタッドバンプ5を電極4に押圧し、電極4表面に沿う形状に塑性変形させる。ここでは、電極4は平坦に形成されていてその中央部にのみスタッドバンプ5の突起部5aが接触するので、スタッドバンプ5の突起部5aが径方向に広がって塑性変形する。

【0022】そして、塑性変形したスタッドバンプ5を電極4に圧接させた状態で、プリント回路基板3全体を適切な温度で加熱して導電性接着剤4を硬化させることにより、半導体素子1のスタッドバンプ5とプリント回路基板3の電極4とを導電性接着剤6によって接合させる。必要に応じて、エポキシ等の樹脂を用いて半導体素子1とプリント回路基板3の間を封止する。

【0023】このようにすることにより、径方向に広がって塑性変形したスタッドバンプ5によって、プリント回路基板3の反りを吸収できるとともに、電極4との接合面積を大きくすることができ、高品質なフリップチップ実装を実現できる。

（実施の形態2）図2は本発明によるプリント回路基板の実施の形態2を示し、（a）は実装前の状態、（b）は実装後の状態を示す。図2に示したプリント回路基板が上記実施の形態1のプリント回路基板と異なるのは、実装対象のプリント回路基板3に設けた電極7が中央部に凹部7aを有している点である。

【0024】このようなプリント回路基板を製造する際には、半導体素子1のスタッドバンプ5の突起部5aがプリント回路基板3の電極7の凹部7aに対向するように半導体素子1を正確に位置決めし、この半導体素子1の背面側に適切な荷重Wを負荷してスタッドバンプ5を電極7に押圧する。

【0025】このようにすることにより、スタッドバンプ5の突起部5aが電極7の凹部7a内で径方向に広がり凹部7aに嵌合する状態に塑性変形し、この塑性変形

したスタッドバンプ5によって、プリント回路基板3の反りを吸収できるとともに、電極7との接合面積を大きくすることができ、高品質なフリップチップ実装を実現できる。

【実施の形態3】図3は本発明によるプリント回路基板の実施の形態3を示し、(a)は実装前の状態、(b)は実装後の状態を示す。図3に示したプリント回路基板が上記実施の形態2のプリント回路基板と異なるのは、半導体実装対象のプリント回路基板3に設けた電極8が中央部に凸部8aを有している点である。

【0026】このようなプリント回路基板を製造する際には、半導体素子1のスタッドバンプ5の突起部5aがプリント回路基板3の電極8の凸部8aに対向するように半導体素子1を正確に位置決めし、この半導体素子1の背面側に適切な荷重Wを負荷してスタッドバンプ5を電極8に押圧する。

【0027】このようにすることにより、スタッドバンプ5の突起部5aが電極8の凸部8aの両側で径方向に広がり凸部8aに嵌合する状態に塑性変形し、この塑性変形したスタッドバンプ5によって、プリント回路基板3の反りを吸収できるとともに、電極8との接合面積を大きくすることができ、高品質なフリップチップ実装を実現できる。

【実施の形態4】図4は本発明によるプリント回路基板の実施の形態4を示し、(a)は実装前の状態、(b)は実装後の状態を示す。図4に示したプリント回路基板が上記実施の形態1のプリント回路基板と異なるのは、半導体実装対象のプリント回路基板3の電極9を、塑性変形後のスタッドバンプ5の外径の1/2以下の電極幅となるよう形成しておき、スタッドバンプ5をこの電極9に押圧しながら塑性変形させた点である。

【0028】このようにすることにより、電極9を囲んで径方向に広がったスタッドバンプ5によって、プリント回路基板3の反りを吸収できるとともに、電極9との接合面積を大きくすることができ、高品質なフリップチップ実装を実現できる。

【0029】なお、実施の形態2、3、4においては導電性接着剤の転写工程は必要に応じて行うものとする。

【0030】

【発明の効果】以上のように本発明によれば、半導体素子とプリント回路基板とを接合するフリップチップ実装方式において、半導体素子の電極上に形成されたスタッドバンプをプリント回路基板の電極上に押圧して塑性変

形させるようにしたことにより、生じた塑性変形部によって、基板の反りを吸収できるとともに、スタッドバンプとプリント回路基板の電極との接合面積を大きくすることができ、したがって、半導体素子とプリント回路基板との接合の更なる狭ピッチ化が可能になり、高品質なフリップチップ実装を実現できる。

【図面の簡単な説明】

【図1】本発明の半導体実装方法およびそれにより製造されるプリント回路基板を示す説明図

【図2】本発明の半導体実装方法により製造される他のプリント回路基板であって、基板側の電極に凹部を設けたプリント回路基板を示す説明図

【図3】本発明の半導体実装方法により製造される他のプリント回路基板であって、基板側の電極に凸部を設けたプリント回路基板を示す説明図

【図4】本発明の半導体実装方法により製造される他のプリント回路基板であって、基板側の電極をスタッドバンプの外径の1/2以下の電極幅に形成したプリント回路基板を示す説明図

【図5】従来のフリップチップ実装方式で製造されたプリント回路基板を示す説明図

【図6】半導体素子の電極上にスタッドバンプを形成するプロセスを示す説明図

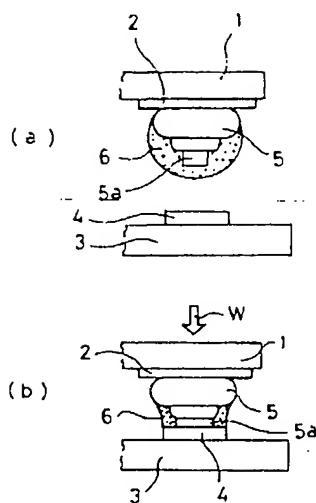
【図7】図6に示したようにしてスタッドバンプを形成した半導体素子を、スタッドバンプに導電性接着剤を転写した後にプリント回路基板に接合するプロセスを示す説明図

【図8】図6に示したようにしてスタッドバンプを形成した半導体素子を、熱硬化性樹脂シートを貼り付けたプリント回路基板に接合するプロセスを示す説明図

【符号の説明】

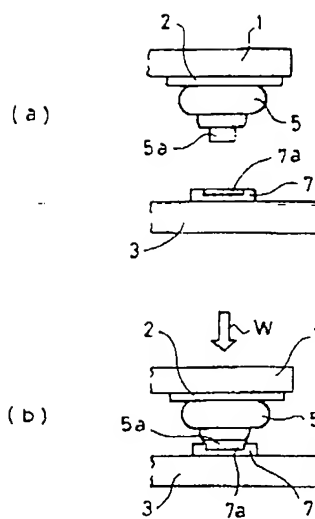
- 1 半導体素子
- 2 電極
- 3 プリント回路基板
- 4 電極（基板電極）
- 5 スタッドバンプ（突起電極）
- 6 導電性接着剤
- 7 電極（基板電極）
- 7a 凹部
- 8 電極（基板電極）
- 8a 凸部
- 9 電極（基板電極）

【図1】



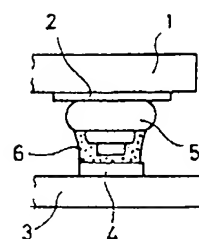
- 1 半導体素子
2 電極
3 プリント回路基板
4 電極 (基板電極)
5 スタッドバンプ (突起電極)
6 導電性接着剤
W 荷重

【図2】

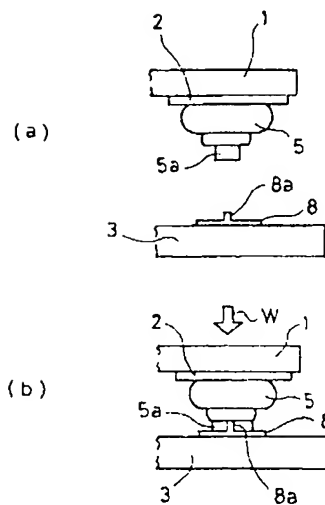


- 7 電極 (基板電極)
7a 凹部

【図5】

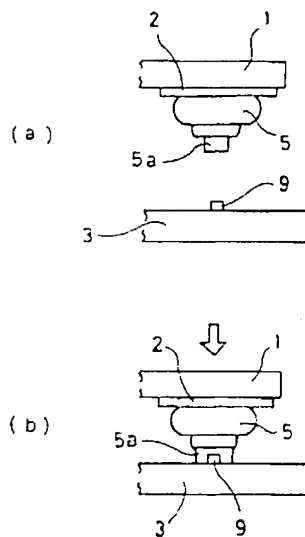


【図3】



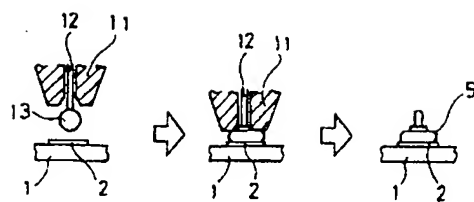
- 8 電極 (基板電極)
8a 凸部

【図4】

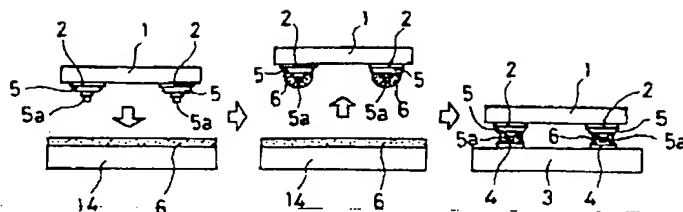


- 9 電極 (基板電極)

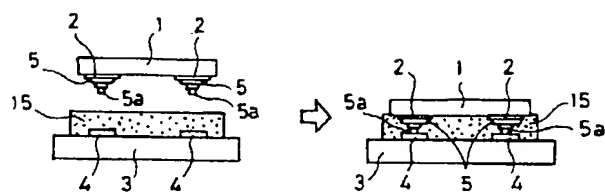
【図6】



【図7】



【図8】



フロントページの続き

(72) 発明者 大谷 博之
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5E319 AA03 AB05 AC11 AC16 CC11
CC61
5F044 KK01 KK17 LL07 LL15